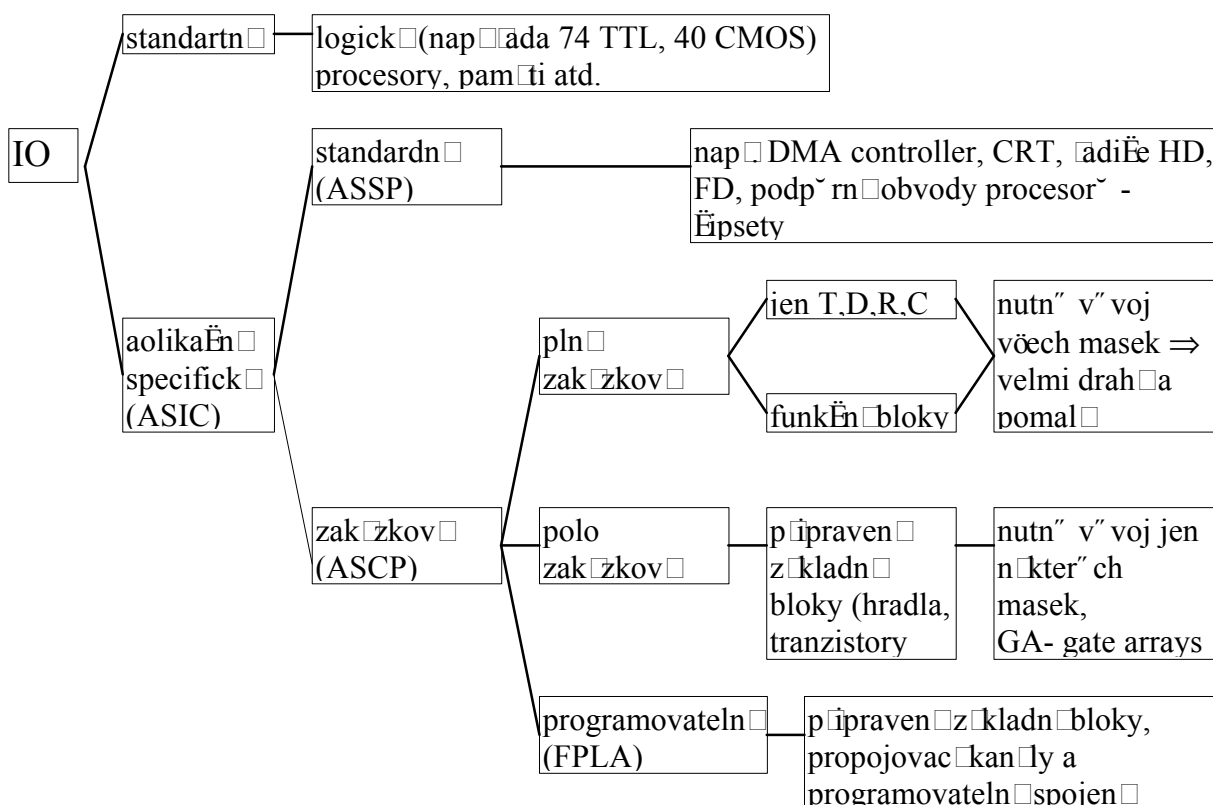


# Programovatelné logické obvody

## Dílení integrovaných obvodů

Integrované obvody lze dělit podle mnoha kritérií. Například podle použité technologie výroby tranzistorů a diod (bipolární, NMOS, CMOS, BiCMOS atd.), podle použitých konvencí přenosu logických signálů, napětí proudem (ELC, IIL) nebo napětím (TTL, CMOS, LVTTTL, LVCMOS). Další důležité kritérium je oblast použití obvodů, viz následující obrázek



Dále se budeme zabývat pouze programovatelnými logickými obvody (FPLA - field programmable logic arrays). Tyto obvody lze podle velikosti a vlastností připravených funkčních bloků dělit na dvě skupiny. Programovatelné logické obvody (PLD - programmable logic devices) a složitější logické pole (FPGA - field programmable generic arrays). Důležitou hranicí není ostrá. PLD obsahují obvykle do 100 ekvivalentních hradel, ale existují i ve obvody s 10000 ekvivalentními hradly (tyto obvody se pro svoji velikost označují CPLD - complex PLD). Obvody FPGA obsahují tak okolo 1000 ekvivalentních hradel, ale na rozdíl od CPLD jsou tvořeny bloky, schopnými vytvářet i složitější funkce.

## Programovatelné propojky

První programovatelné obvody se objevily okolo roku 1978. Jednalo se například o obvody firmy AMD obsahující propojky určené k přetváření. V dnešním době se využívají následující druhy propojek.

Bipolární propojky - v nenaprogramovaném stavu jsou vždy vodivé, při programování se zvořením napětím přetaví a tím se uvedou do nevodivého stavu. Zpoždění na hradlo takového obvodu je za cenu vysoké spotřeby velmi nízké (okolo 1 až 2 ns).

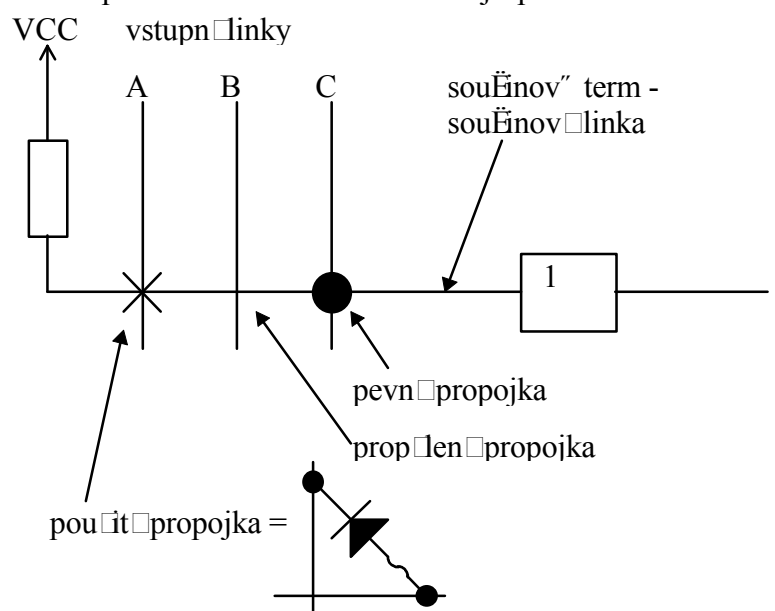
Plovoucí hradla - používají se u obvodů vyrobených technologií NMOS a CMOS. Propojky jsou tvořeny unipolárními tranzistory, jejich hradla jsou připojena na miniaturné kondenzátory. Pokud je na kondenzátoru uložen náboj, propojka se nalézá ve vodivém stavu. Náboj na kondenzátorech lze mít pouze v programovacím stavu, kdy je kondenzátor přes další tranzistor nebo diodu připojen k vnějším logickým signálům. Jedná-li se o diodu, lze pouze přivedením zvořeného napětí dodat náboj do kondenzátoru. Snížení náboje se docílí napákladem ozářením obvodu UV světlem, které způsobí excitaci elektronů a umožní jejich přesun z kondenzátoru. Tato technologie se nazývá EPROM (erasable programmable read only memory). Jedná-li se o tranzistory připojené ke kondenzátorům, lze zvořením napětí na jejich hradle docílit odstranění náboje a je možné ve speciálním režimu i obvod elektricky vymazat (EEPROM - electric erasable programmable read only memory). Obvody s těmito technologiemi mohou mít zpoždění na hradlo okolo 5 až 10 ns.

Propojky PLICE - technologie firmy ACTEL. Jedná se o propojky ANTI-FUSE (obrácená pojistka), které jsou v základním stavu nevodivé. Nevodivá dielektrická vrstva se zvořením napětím prorazí a propojka se stane vodivou. Odpor v nevodivém a vodivém stavu je 100 MΩ / 500 Ω.

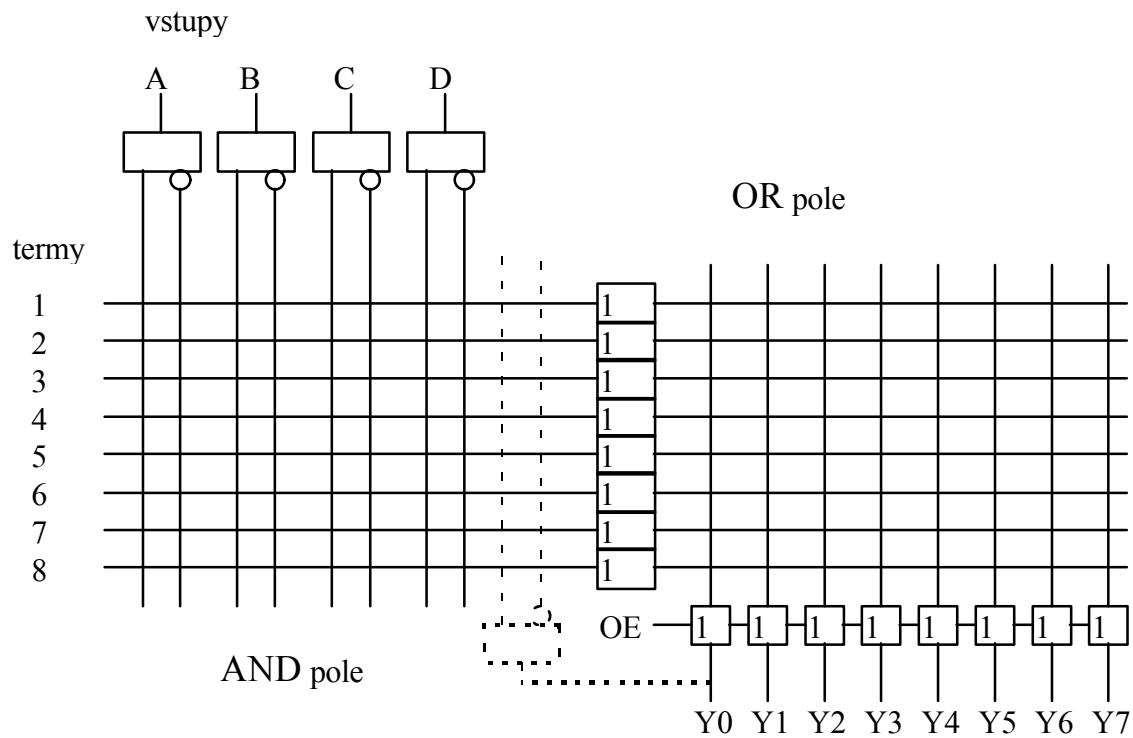
Propojky VIALINK - firmy Quick Logic. Programovatelná propojka je tvořena amorfním křemíkem mezi dvěmi kovovými drahami. Při proražení dojde k natavení kovu a jeho slití. Tato technologie dosahuje velmi dobrého poměru odporu v nevodivém a vodivém stavu (50 MΩ / 50 Ω). To je důležité pro zajištění rychlé změny napětí na kapacitních vodičích.

## Arcitektura obvodů PLD

Nejdříve se budeme zabývat kombinacími logickými obvody. Libovolnou kombinací funkci lze zapsat jako součin maxtermů nebo součet mintermů. Dále budeme uvažovat pouze součet mintermů. Minterm je pravdivý pouze tehdy, je-li na vstupech jedna z kombinací, pro kterou je v sledné funkci pravdivá. Mejjednodušším příkladem takového obvodu je paměť PROM. Pro každou kombinaci vstupů je možné určit hodnotu výstupu. Toto řešení však vyžaduje plně dekodř všech stavů vstupů a velké množství programovatelných buněk. V sledkem je vyšší cena a nízká rychlost. Pro mnoho funkcí je možné dekodř zjednodušit a rozdělit. Není třeba dekodřovat stavy, kdy je výstup nepravdivý a je možné sloučit mintermy, které se liší pouze v hodnotě jednoho vstupu (například pomocí Karnaughových map). Tento postup lze opakovat inkolikařt. Tím se ukazuje, že je pro programování funkcí vhodné programovat dekodř kombinací vstupů. Tento dekodř je realizován polem AND.



Slouží k realizaci všech pravdivých kombinací na jeden nebo více výstupů se provádí polem OR.

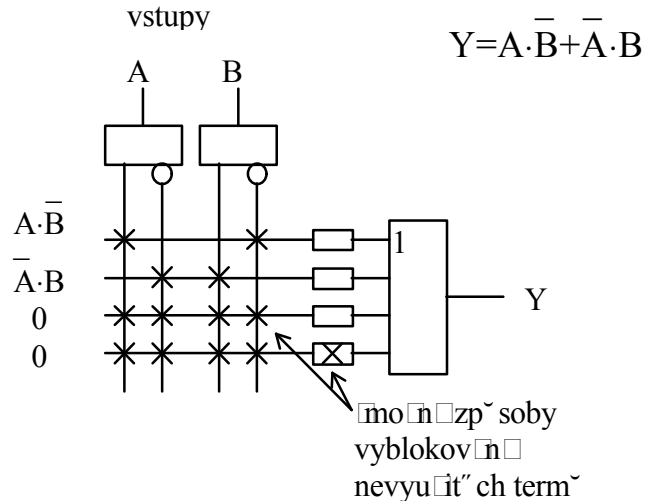


Na obrázku je viditelná obecná struktura kombinačního obvodu. » Označeno je naznažena možnost zpětná vazba z výstupu Y0 do pole AND. Podle možnosti programovat AND a OR pole lze obvody rozdělit.

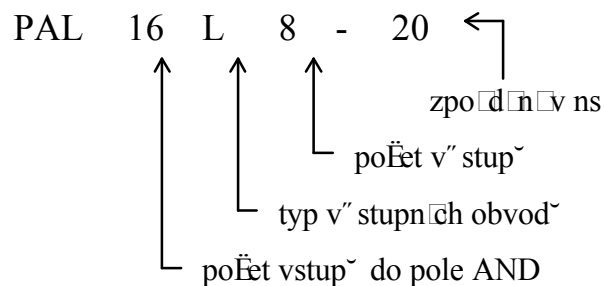
Typ obvodu	Pole AND programuje	Pole OR programuje
ROM	výrobce	výrobce
PROM a EPROM	výrobce	uživatel
PAL - prog. arr. logic	uživatel	výrobce
FPLA - field. p. log. arrays	uživatel	uživatel

Na dalším obrázku je uveden příklad naprogramované logické funkce v obvodu typu PAL s jedním v<sup>o</sup> stupem.

V mnoha případech je nutné nevyužít termy ( vstupy ještě OR ) připojit k zdroji nepravdivého stavu. Toho lze docílit součinem signálu s jeho negací. Některé obvody mají speciální propojky pro připojení termu k nepravdivému stavu.



### Značení obvodů typu PAL



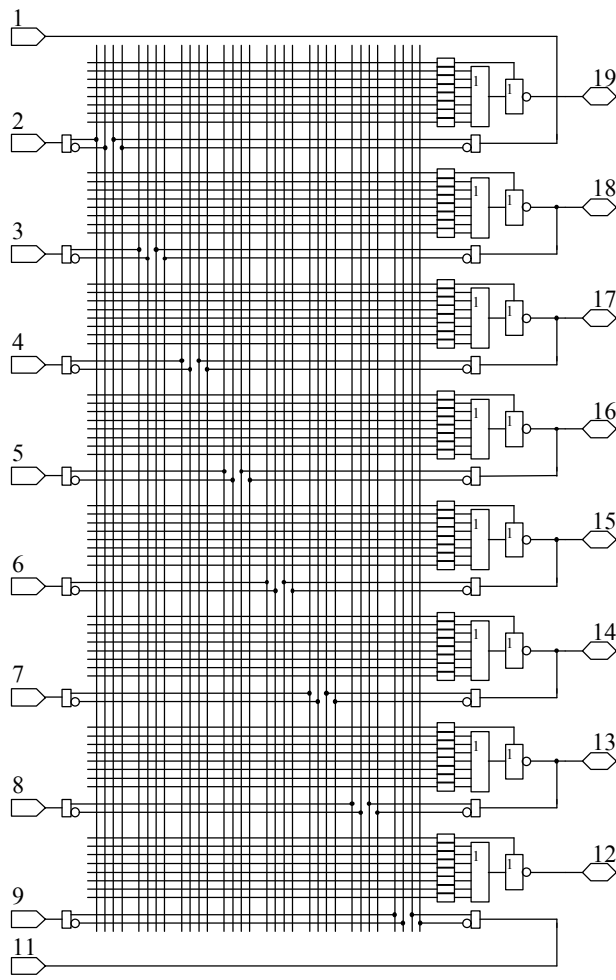
Obvody PAL mají programovatelné pole AND a pevně naprogramované pole OR tvořené vždy součtem několika sousedních termů přivedených do v<sup>o</sup> stupňového obvodu. Dle následujících označení jednotlivých typů v<sup>o</sup> stupňových obvodů připojených k poli OR.:

- L kombinační v<sup>o</sup> stup aktivní nízkí rovni
- H kombinační v<sup>o</sup> stup aktivní vysokí rovni
- R v<sup>o</sup> stup registr se společným hodinovým signálem
- C complementary - obědv<sup>o</sup> rovň v<sup>o</sup> stupu
- P programovatelný L nebo H
- V původní znamení počet součinných termů
- A jako R, ale asynchronně taktované vždy jeden term pro CLK
- S sharing - využití termu pro dva v<sup>o</sup> stupy nebo sdílení mezi sousedy

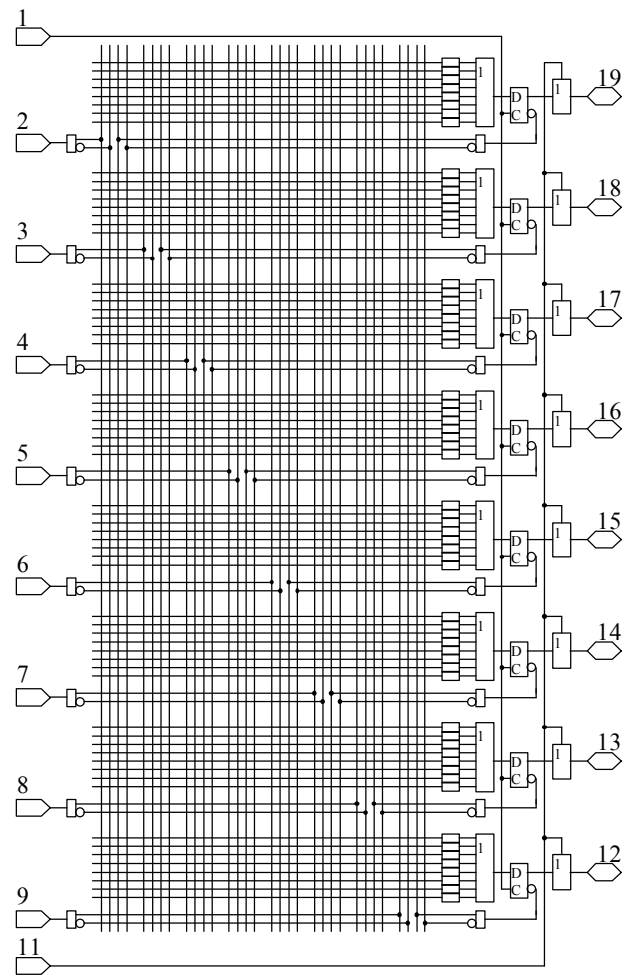
Příklad: PAL 16 L 8

8 v<sup>o</sup> stupňů aktivních v L, 7 součinných termů pro jeden v<sup>o</sup> stup a jeden součinný term pro OE, přechod v<sup>o</sup> stupu z neaktivního do aktivního stavu.

Následuje obrázek obvodu PAL 16 L 8. Zajímavé je odlišnost zapojení pinů 1 a 11. Piny 10 ( GND ) a 20 ( VCC ) jsou použity pro napájení obvodu.



PAL 16 L 8



PAL 16 R 8

### Obvody GAL ( generic array logic )

Tyto obvody začala jako první vyrábět firma LATICE. Jedná se o nahradu téměř všech obvodů PAL. K programovatelnosti pole AND byla přidána možnost volby typu vstupní logiky. Konfigurovatelné vstupní obvody jsou označeny jako OLMC ( Output Logic MacroCell ). Byla také změněna technologie programování. Místo jednorázových propalovacích propojek byla použita technologie EEPROM. Obvody je tedy možné elektricky programovat a v případě nutnosti změnit je možné elektrickým vymazáním uvést obvod do nenaprogramovaného stavu. Stav propojek je možné v kontrolním režimu i měnit. Po kontrole maprogramování je možné obvod zajistit proti možnosti čtení.

Obvod nemá žádné zvláštní vstupy určené k programování. Do programovacího stavu se uvede zvýšeným napětím na jednom z logických vstupů na 16,5 V. Poté je vybrán blok programovací matice přivedením kombinace logických signálů na další vstupy. Data jsou zapisována a čtena sériově.

Nejrozšířenější je obvod GAL 16 V 8. Je zapouzdřen v 20 v" vodě s 20 v" vody, z nich dva jsou napájecí ( 10 GND, 20 VCC ), osm přímo vstupujících do pole AND ( 2 a 9 ), dalších osm v" stupňů ( 12 a 19 ). Funkce zbylých dvou v" vodů je závislá na konfiguraci obvodu. Mohou být použity jako nezávislé vstupy nebo jako vybavovací ( 11 OE ) a hodinový ( 1 CLK ) vstup. 6 a 8 v" stupňů je také podle konfigurace zavedeno zpět do pole AND.

Další obvod GAL20V8 zapouzdřen v 24 v" vodovém pouzdře je pouze rozšířen proti GAL16V8 o možnost dalších dvou vstupů.

Obvody GAL18V10 ( 20 v" vodů ), GAL20V10 ( 24 v" vodů ) a GAL22V10 ( 28 v" vodů ) se odlišují velikostí pole AND a od obvodu GAL16V8 se liší možnými konfiguracemi v" stupňů makroúky a možnost asynchronního nulování a synchronního nastavení v" stupňů klopných obvodů pomocí dvou v" stupňů pole AND.

Z dalších modifikací obvodů GAL jsou zajímavé obvody ispEEPLD ( in-system programmable EEPLD ), u kterých je možná pomocí programovacího vstupu změnit funkci přímo ve provozním zapojení. Příkladem je obvod ispGAL16V8 a ispGAL22V10.

Pro aplikace vyžadující nízký proud se klasické obvody GAL příliš nehodí klidový odběr činí asi 70 mA. Existují však obvody ve verzích low power ( 40 mA ) a ve verzích zero power, které v klidovém stavu odeberají jen několik  $\mu$ A. Například EPLD obvod PALCE18V8. Tento obvod obsahuje propojky tvořené technologií EPROM. Pro srovnatelnou výrobu je dodávána levnější verze bez mazacího okna ( OTP - one time programmable ).

## JEDEC soubory

Jedná se o standardní formát pro přenos informace o logickém návrhu propojek a konfigurací programovatelného obvodu z CAE programu do programátoru logických obvodů.

Data souboru začínají za komentářem znakem STX ( 02h ). Jednotlivé pole jsou ukončena kombinací '\*' ( 2Ah ) a koncem řádky ( 0Dh 0Ah ). Data začínají informací o typu obvodu. Další pole :

N@	číslo pinu	@	číslo pinu*	přídavný názvu pinu
G0*	nebo G1*			nastavení nulování ochrany proti přetížení
QF	počet programovatelných bitů *			informace o velikosti programovatelné paměti
QP	počet pinů *			počet v" vodů pouzdra
L	dddd bbbbbbbbbbb*			hodnoty jednotlivých programovatelných bitů
				dddd decimální adresa
				b pořadová hodnota bitu, počet je volitelný a pole lze rozdelit na více sek

Data jsou ukončena znakem ETX ( 03h ). Za ním následuje hexadecimálně zapsaný kontrolní součet.

Dále následuje zkrácený v"pis JEDEC souboru vytvořený programem OPAL.

```

PAL16V8
QP20*
QF2194*
G0*
F0*
L0000 11111111111111111111111111111111*
L0032 101111111101110111101111111101111*

```

L0064 10111111111011011111111011111110\*  
L0096 101111111101111011111110111111101\*  
...  
L2016 00000000000000000000000000000000\*  
L2048 00000000\*  
L2056 01000110010001000100100101010011\*  
L2088 00110001000000000000000000000000\*  
L2120 11000000\*  
L2128 11111000111110001110000011100000\*  
L2160 10000000100000001000000010000000\*  
L2192 01\*  
C47F4\*  
□443